

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-26704

(P2002-26704A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 3 K 5/19		H 0 3 K 5/19	H 5 J 0 3 9
G 0 6 F 1/04	3 0 2	G 0 6 F 1/04	3 0 2 Z

審査請求 未請求 請求項の数6 (全6頁)

(21)出願番号 特願2000-204442(P2000-204442)

(22)出願日 平成12年7月6日(2000.7.6)

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72)発明者 西岡 善和

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74)代理人 100088812

弁理士 ▲柳▼川 信

Fターム(参考) 5J039 HH01 HH12 KK09 KK10 KK13

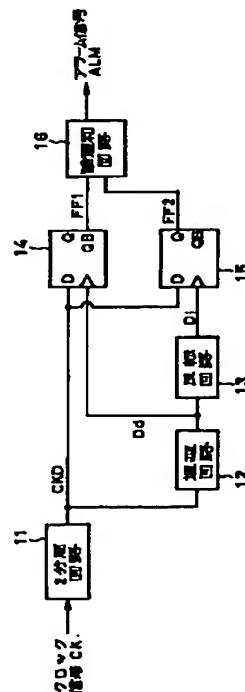
KK27 MM08 MM11

(54)【発明の名称】 クロック異常検出装置及びその方法

(57)【要約】

【課題】 簡単な回路構成で入力クロック信号の異常を検出する。

【解決手段】 入力クロック信号を2分周し、この分周出力信号を夫々のデータとする2つのDフリップフロップ14、15において、この分周出力を入力クロック信号の略1/2周期分遅延回路12で遅延した信号、及びこの遅延信号を反転回路13で反転した信号を夫々クロックとし、これらのクロックの立ち上がりタイミングで分周出力信号のサンプリングを行う。これにより、分周出力信号のパルス幅が入力クロック信号の略1/2周期未満になると、Dフリップフロップ14又は15の出力が変化し、入力クロック信号の異常が検出可能となる。



【特許請求の範囲】

【請求項1】 入力クロック信号を2分周する分周手段と、この分周出力を前記入力クロック信号の略1/2周期分遅延する遅延手段と、この遅延出力で前記分周出力をサンプリングするサンプリング手段とを含み、このサンプリング出力により前記入力クロック信号の異常検出をなすようにしたことを特徴とするクロック異常検出装置。

【請求項2】 前記サンプリング手段は、前記遅延出力から正相信号及び逆相信号を生成する手段を含み、前記分周出力を前記正相信号のタイミングでサンプリングを行う第1のサンプリング手段と、前記分周出力を前記逆相信号のタイミングでサンプリングを行う第2のサンプリング手段とから構成されていることを特徴とする請求項1記載のクロック異常検出装置。

【請求項3】 前記第1、第2のサンプリング手段は、前記分周出力をデータ入力とし前記正相信号、前記逆相信号をクロック入力とするDフリップフロップであることを特徴とする請求項1又は2記載のクロック異常検出装置。

【請求項4】 前記第1及び第2のサンプリング手段のサンプリング出力の論理和を行って、前記入力クロック信号の異常検出信号を生成する論理和回路を更に含むことを特徴とする請求項2又は3記載のクロック異常検出装置。

【請求項5】 入力クロック信号を2分周する分周ステップと、この分周出力を前記入力クロック信号の略1/2周期分遅延する遅延ステップと、この遅延出力で前記分周出力をサンプリングするサンプリングステップとを含み、このサンプリング出力により前記入力クロック信号の異常検出をなすようにしたことを特徴とするクロック異常検出方法。

【請求項6】 前記サンプリングステップは、前記遅延出力から正相信号及び逆相信号を生成するステップと、前記分周出力を前記正相信号のタイミングでサンプリングを行う第1のサンプリングステップと、前記分周出力を前記逆相信号のタイミングでサンプリングを行う第2のサンプリングステップと、前記第1及び第2のサンプリングステップのサンプリング出力の論理和を行って、前記入力クロック信号の異常検出信号を生成するステップとを有することを特徴とする請求項5記載のクロック異常検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はクロック異常検出装置及びその方法に関するものであり、特に入力クロック信号にひげ状のパルスが混入している場合に入力クロック信号の異常を検出する好適なクロック異常検出装置及びその方法を提供するものである。

【0002】

【従来の技術】 図5に、特開平3-196209号公報に示された従来方式のクロック異常検出回路の構成を示す。図5において、周波数 f_1 の監視クロックCKsで、周波数 f_2 ($f_1 > f_2$) の被監視クロックCKに混入するヒゲ状パルスを検出するに当たり、被監視クロックCKを分周する第1分周部51と、第1分周部51出力D1を監視クロックCKsに同期してサンプリングする第1サンプリング部53と、被監視クロックCKを監視クロックCKsに同期してサンプリングする第2サンプリング部52と、第2サンプリング部52出力S2を第1分周部51と同一の分周比で分周する第2分周部54と、第2分周部54出力D2と第1サンプリング部53出力S1との不一致を検出する第1検出部56と、第2サンプリング部52出力S2を入力としてそのレベル変化の周期性が乱れたことを検出する第2検出部55からなり、第1検出部56又は第2検出部55からの第1検出出力ALM1又は第2検出出力ALM2をクロック異常検出信号ALMとして得るものである。

【0003】 従来のクロック異常検出回路の他の例として、特許第2581024号公報に記載されているクロック異常検出回路の例を図6に示す。図6において、周期 t_1 のクロック信号CKを入力し入力信号の立上りから一定時間のパルスを生成する単安定マルチバイブレータ63と、クロック信号を入力し反転信号を出力する反転回路61と、反転回路61の出力信号の立上りでカウント動作し単安定マルチバイブレータ63で生成されたパルスの立下りでクリアされる非同期クリアカウンタ62とから構成されており、非同期クリアカウンタ62のQBの出力ALをクロック異常検出信号としているものである。

【0004】

【発明が解決しようとする課題】 しかしながら、上述した図5の従来方式のクロック異常検出回路では、被監視クロックCKよりも周波数の高い監視用クロックCKsを必要とするため、回路構成が複雑になると共に、被監視クロック信号の周波数 f_2 が監視用クロック信号の周波数 f_1 より高い場合 ($f_1 < f_2$)、全く対応できないという問題がある。

【0005】 更に、図6に示した特許第2581024号公報のクロック異常検出回路では、コンデンサ、抵抗、及び単安定マルチバイブレータICから構成される単安定マルチバイブレータを使用しており、LSIに組み込むことを考えた場合、実装面積が大きくなったり、単安定マルチバイブレータを構成する素子自体の個体差とコンデンサの定常誤差があるため、特にnsオーダーの短いパルス幅の精度が得られず、出力パルス幅に限界があり、クロック信号の周波数が高い場合、適用できないという問題がある。

【0006】 そこで、本発明はかかる従来技術の問題点を解決すべくなされたものであって、その目的とする

ころは、入力クロック信号の2分周信号を入力クロック信号の略1/2周期遅延したタイミングで、2分周信号のサンプリングを行うことにより、入力クロック信号の異常を検出するといった従来より簡単な構成でクロック異常検出装置及びクロック異常検出方法を提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、入力クロック信号を2分周する分周手段と、この分周出力を前記入力クロック信号の略1/2周期分遅延する遅延手段と、この遅延出力で前記分周出力をサンプリングするサンプリング手段とを含み、このサンプリング出力により前記入力クロック信号の異常検出をなすようにしたことを特徴とするクロック異常検出装置が得られる。

【0008】そして、前記サンプリング手段は、前記遅延出力から正相信号及び逆相信号を生成する手段を含み、前記分周出力を前記正相信号のタイミングでサンプリングを行う第1のサンプリング手段と、前記分周出力を前記逆相信号のタイミングでサンプリングを行う第2のサンプリング手段とから構成されていることを特徴とする。

【0009】また、前記第1、第2のサンプリング手段は、前記分周出力をデータ入力とし前記正相信号、前記逆相信号をクロック入力とするDフリップフロップであることを特徴とし、前記第1及び第2のサンプリング手段のサンプリング出力の論理和を行って、前記入力クロック信号の異常検出信号を生成する論理和回路を更に含むことを特徴とする。

【0010】更に、本発明によれば、入力クロック信号を2分周する分周ステップと、この分周出力を前記入力クロック信号の略1/2周期分遅延する遅延ステップと、この遅延出力で前記分周出力をサンプリングするサンプリングステップとを含み、このサンプリング出力により前記入力クロック信号の異常検出をなすようにしたことを特徴とするクロック異常検出方法が得られる。

【0011】そして、前記サンプリングステップは、前記遅延出力から正相信号及び逆相信号を生成するステップと、前記分周出力を前記正相信号のタイミングでサンプリングを行う第1のサンプリングステップと、前記分周出力を前記逆相信号のタイミングでサンプリングを行う第2のサンプリングステップと、前記第1及び第2のサンプリングステップのサンプリング出力の論理和を行って、前記入力クロック信号の異常検出信号を生成するステップとを有することを特徴とする。

【0012】本発明の作用を述べる。入力クロック信号を2分周し、この分周出力信号を夫々のデータとする2つのDフリップフロップにおいて、この分周出力を入力クロック信号の略1/2周期分遅延した信号、及びこの遅延信号を反転した信号を夫々クロックとし、これらのクロックの立ち上がりタイミングで分周出力信号のサン

プリングを行う。これにより、分周出力信号のパルス幅が入力クロック信号の略1/2周期未満になると、Dフリップフロップの出力が変化し、その結果、入力クロックの異常が検出可能となる。

【0013】

【発明の実施の形態】以下に、図面を参照しつつ本発明の実施の形態について説明する。図1は本発明の実施の形態としてのクロック異常検出装置の構成を示すブロック図である。図1を参照すると、本発明におけるクロック異常検出装置は、2分周回路11、遅延回路12、反転回路13、Dフリップフロップ14、15及び論理和回路16から成る構成である。

【0014】2分周回路11は本発明における監視対象信号である周期 τ の入力クロック信号CKの2分周信号CKDを生成する。2分周信号CKDは遅延回路12により $\tau/2$ だけ遅延された遅延信号Ddとなる。Dフリップフロップ14は遅延信号Ddをクロック、2分周信号CKDをデータとして取り込む。つまり、遅延信号Ddの立ち上がりタイミングで2分周信号CKDのサンプリングを行う。サンプリング結果をDフリップフロップ14の反転出力FF1として出力する。

【0015】また、遅延信号Ddは、反転回路13により論理反転され反転信号Diとなる。Dフリップフロップ15は反転信号Diをクロック、2分周信号CKDをデータとして取り込む。つまり、反転信号Diの立ち上がりタイミングで2分周信号CKDのサンプリングを行う。サンプリング結果をDフリップフロップ15の出力FF2として出力する。

【0016】Dフリップフロップ14の反転出力FF1及びDフリップフロップ15の出力FF2は共に論理和回路16に入力され、論理和回路16は入力クロック信号の状態をアラーム信号ALMとして出力する。

【0017】次に、図1に示すクロック異常検出装置の動作について図2～図4を参照しながら説明する。入力クロック信号CKが正常な場合、図1の各ブロックにおけるタイミングチャートを図2に示す。図2に示す様に、入力クロック信号CKの2分周信号CKDは、ハイレベル、ロウレベルのパルス幅が夫々 $\tau/2$ となる。Dフリップフロップ14は遅延信号Ddの立ち上がりタイミングで2分周信号CKDを取り込み、サンプリング結果として得られるDフリップフロップ14の反転出力FF1は常にロウレベルとなる。

【0018】同様に、Dフリップフロップ15は反転信号Diの立ち上がりタイミングで2分周信号CKDを取り込み、サンプリング結果として得られるDフリップフロップ15の出力FF2は常にロウレベルとなる。従って論理和回路16の出力ALMは常にロウレベルとなり、入力クロック信号CKが正常であることを示す。

【0019】また、入力クロック信号CKが異常な場合、図1の各ブロックにおけるタイミングチャートは、

図3の場合と図4の場合に大別される。すなわち、入力クロック信号CKに発生したパルス幅 $t/2$ 未満の異常パルスが2分周回路11で2分周された結果、2分周信号CKDにパルス幅 $t/2$ 未満のハイレベルパルスとして現れる場合と、パルス幅 $t/2$ 未満のロウレベルパルスとして現れる場合である。

【0020】図3において、入力クロック信号CKのT1とT2の間に発生したパルス幅 $t/2$ 未満の異常パルスにより、2分周信号CKDにパルス幅 α ($t/2$ 未満)のハイレベルパルスが発生する。従って、図3に示す様に、遅延信号Ddにも同様なハイレベルパルスが存在することになる。Dフリップフロップ14は遅延信号Ddの立ち上がりタイミングで2分周信号CKDを取り込む。その結果、入力クロック信号CKに発生した異常パルスにより現れた2分周信号CKDのパルス幅 α のハイレベルパルスにも対応してサンプリングされることになり、Dフリップフロップ14の反転出力FF1は $t+\alpha$ の間ハイレベルを出力する。

【0021】一方、Dフリップフロップ15は反転信号Diの立ち上がりタイミングで2分周信号CKDを取り込むが、Dフリップフロップ15は、2分周信号CKDのパルス幅 α のハイレベルパルスをサンプリング出来ないため、Dフリップフロップ15の出力FF2はロウレベルのままとなる。従って、論理回路16の出力ALMはDフリップフロップ14の反転出力FF1がハイレベルを出力する間、つまり $t+\alpha$ の間ハイレベルとなり、入力クロック信号CKに異常が発生していることが検出される。

【0022】同様に、図4において、入力クロック信号CKのT2とT3の間に発生したパルス幅 $t/2$ 未満の異常パルスにより、2分周信号CKDにパルス幅 α ($t/2$ 未満)のハイレベルパルスが発生する。従って、図4に示す様に、遅延信号Dd及び反転信号Diにも同様なパルスが存在することになる。Dフリップフロップ15は反転信号Diの立ち上がりタイミングで2分周信号CKDを取り込む。その結果、入力クロック信号CKに発生した異常パルスにより現れた2分周信号CKDのパルス幅 α のロウレベルパルスにも対応してサンプリングされることになり、Dフリップフロップ15の出力FF2は $t+\alpha$ の間ハイレベルを出力する。

【0023】一方、Dフリップフロップ14は遅延信号Ddの立ち上がりタイミングで2分周信号CKDを取り込むが、Dフリップフロップ14は2分周信号CKDのパルス幅 α のハイレベルパルスをサンプリング出来ない

ため、Dフリップフロップ14の反転出力FF1はロウレベルのままとなる。従って、論理回路16の出力ALMはDフリップフロップ15の出力FF2がハイレベルを出力する間、つまり $t+\alpha$ の間ハイレベルとなり、入力クロック信号CKに異常が発生していることが検出される。

【0024】尚、上記実施例において、遅延回路12によって遅延される2分周信号CKDの遅延量は、周期 t の入力クロック信号CKの $1/2$ 周期として説明しているが、遅延量が略 $t/2$ の場合であっても適用可能であることは明らかである。

【0025】

【発明の効果】叙上の如く、本発明によれば、入力クロック信号の2分周信号を入力クロック信号の略 $1/2$ 周期遅延したタイミングで2分周信号のサンプリングを行うことによって、入力クロック信号の異常検出を実現しているため、入力クロック信号以外に他の信号を必要とせず、また、入力クロック信号の周波数に特に制限を受けることなく、簡単な回路構成で入力クロック信号の異常を検出できるという効果がある。

【0026】更に、本発明を構成する2分周回路、遅延回路、反転回路及びDフリップフロップはまとめてLSIに組み込むことも可能なため、実装面積を大幅に縮小することができるという効果もある。

【図面の簡単な説明】

【図1】本発明のクロック異常検出装置のブロック図である。

【図2】本発明におけるクロック正常時のタイミングチャート図である。

【図3】本発明におけるクロック異常発生時のタイミングチャート図である。

【図4】本発明におけるクロック異常発生時の他のタイミングチャート図である。

【図5】従来のクロック異常検出装置のブロック図である。

【図6】従来の他のクロック異常検出装置のブロック図である。

【符号の説明】

11 2分周回路

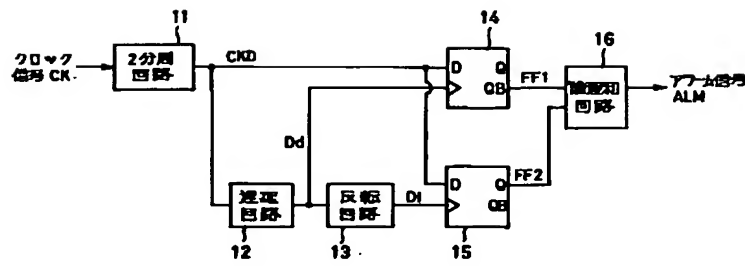
12 遅延回路

13 反転回路

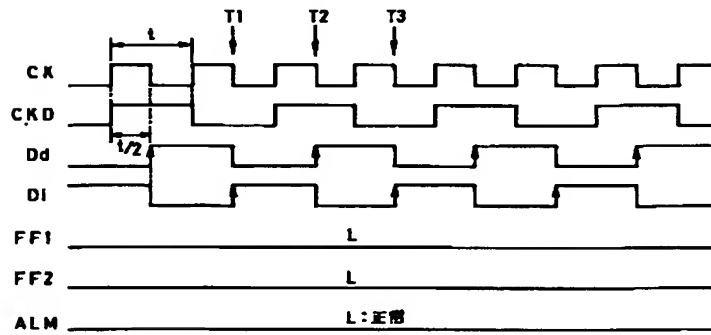
14、15 Dフリップフロップ

16 論理和回路

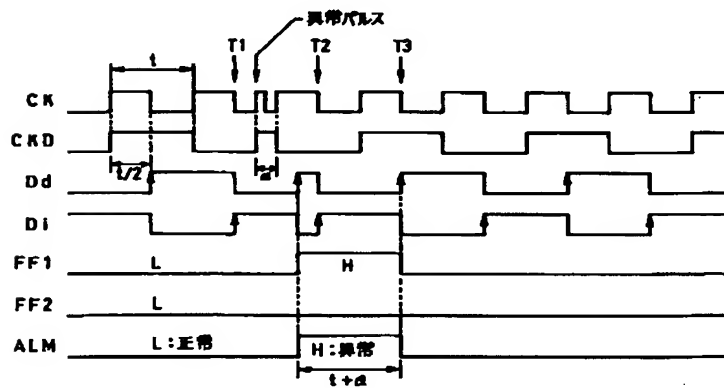
【図1】



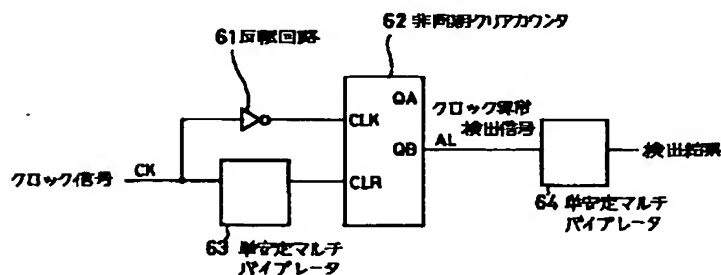
【図2】



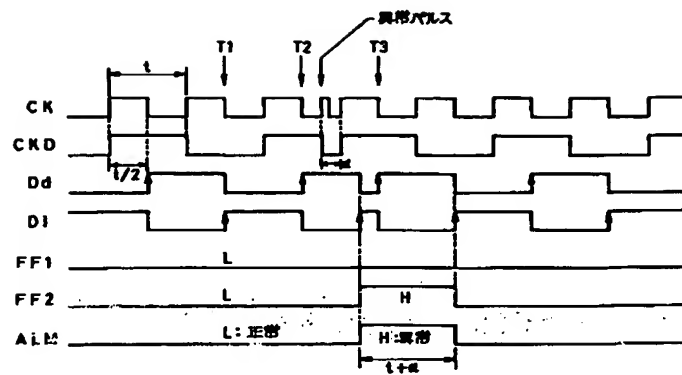
【図3】



【図6】



【図4】



【図5】

